

Manufacturing method of semiconductor memory device esp. chain-FerAM store, involves forming passivation zone and surface zone from this extending mainly vertically in structure

Patent number: DE10131624

Publication date: 2003-01-23

Inventor: BRUCHHAUS RAINER [DE]; ENDERS GERHARD [DE];
HARTNER WALTER [DE]; KROENKE MATTHIAS [DE];
MIKOLAJICK THOMAS [DE]; NAGEL NICOLAS [DE];
ROEHNER MICHAEL [DE]

Applicant: INFINEON TECHNOLOGIES AG [DE]

Classification:

- **International:** H01L27/105; H01L21/8239

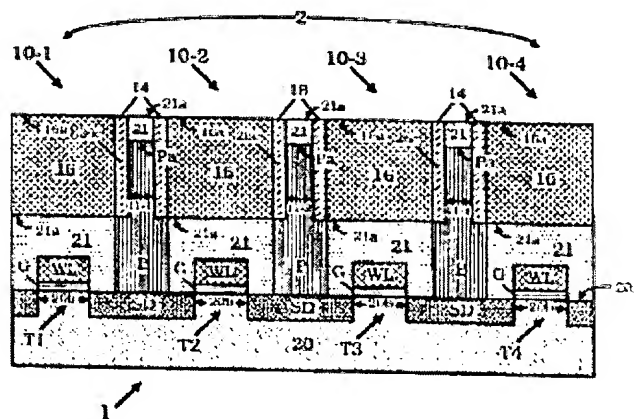
- **european:** H01L21/02B3C2V; H01L21/8246F6; H01L27/115F

Application number: DE20011031624 20010629

Priority number(s): DE20011031624 20010629

Abstract of DE10131624

A method for manufacturing a semiconductor memory device, in which a semiconductor substrate (20) a passivation zone (21) and/or a surface zone (20a, 21a) are designed with a CMOS structure. The capacitor device (10-1...10-4) is structured mainly in the horizontally-extending semiconductor substrate or similar of a passivation zone (21) and/or a surface zone from it, at least partly and/or locally structured and mainly vertically formed. A passivation zone (21) and/or a surface zone (20a, 21a) is formed and/or structured at least partly in the arrangement or structure extending in the third dimension for the respective capacitor device (10-1...10-4). An Independent claim is given for a chain-FerAM store. (B)



Data supplied from the *esp@cenet* database - Worldwide

BEST AVAILABLE COPY



⑬ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑬ **DE 101 31 624 A 1**

⑤ Int. Cl.⁷:
H 01 L 27/105
H 01 L 21/8239

⑲ Aktenzeichen: 101 31 624.0
⑳ Anmeldetag: 29. 6. 2001
㉑ Offenlegungstag: 23. 1. 2003

⑦① Anmelder:
Infineon Technologies AG, 81669 München, DE

⑦③ Vertreter:
Müller - Hoffmann & Partner Patentanwälte, 81667
München

⑦② Erfinder:
Bruchhaus, Rainer, Dr., 80997 München, DE;
Enders, Gerhard, 82140 Olching, DE; Hartner,
Walter, 81829 München, DE; Krönke, Matthias,
81827 München, DE; Mikolajick, Thomas, Dr., 81739
München, DE; Nagel, Nicolas, Dr., 81476 München,
DE; Röhner, Michael, Dr., 81739 München, DE

⑤⑥ **Entgegenhaltungen:**

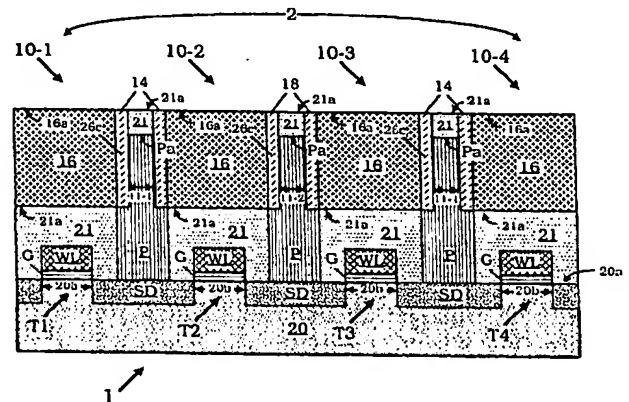
DE 198 34 649 C1
DE 195 43 539 C1
JP 05-3 43 615 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ **Halbleiterspeichereinrichtung sowie Verfahren zu deren Herstellung**

⑤⑦ Um bei einer Halbleiterspeichereinrichtung (1), welche als Speicherelemente Speicherkondensatoren (10-1, ..., 10-4) aufweist, eine möglichst hohe Integrationsdichte zu erreichen, wird vorgeschlagen, die Kondensatoreinrichtungen (10-1, ..., 10-4) sich im Wesentlichen vertikal erstreckend auszubilden, um dadurch eine im Wesentlichen dreidimensionale und eine sich in die dritte Dimension erstreckende Anordnung für die Kondensatoreinrichtungen (10-1, ..., 10-4) zu erreichen.



DE 101 31 624 A 1

[0001] Die Erfindung betrifft ein Verfahren zur Herstellung einer Halbleiterspeichereinrichtung gemäß dem Oberbegriff des Anspruchs 1 sowie eine Halbleiterspeichereinrichtung gemäß dem Oberbegriff des Anspruchs 15.

[0002] Bei modernen Halbleiterspeichereinrichtungen, insbesondere bei Chain-FeRAM-Speichern oder dergleichen, sind im Bereich eines Halbleitersubstrats oder dergleichen und/oder eines Passivierungsbereichs und/oder eines Oberflächenbereichs davon, eine Mehrzahl von Kondensatoreinrichtungen als Speicherelemente in Form einer Kondensatoranordnung vorgesehen.

[0003] Zielsetzung der Fortentwicklung moderner Halbleiterspeichertechnologien ist unter anderem die Ausbildung einer möglichst weitgehenden Integrationsdichte. Herkömmliche Halbleiterspeichereinrichtungen, welche Kondensatoreinrichtungen als Speicherelemente verwenden, sind im Hinblick auf die Integrationsdichte dahingehend limitiert, dass die verwendeten Kondensatoreinrichtungen für ihre Funktionsweise als Speicherkondensatoren oder Speicherelemente eine gewisse Mindestgröße und damit eine minimale laterale Ausdehnung nicht unterschreiten sollten. Es ergibt sich somit selbst bei gegebener minimaler Beabstandung herkömmlicher Kondensatoreinrichtungen ein Limit der Flächendichte an Speicherelementen, die nicht unterschritten werden kann. Dabei ist die jeweilige minimale Beabstandung jeweils durch die minimale Strukturgröße der jeweiligen lithografischen Technik gegeben.

[0004] Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur Herstellung einer Halbleiterspeichereinrichtung sowie eine Halbleiterspeichereinrichtung anzugeben, bei denen eine besonders hohe Integrationsdichte bei gleichzeitiger Funktionszuverlässigkeit erreicht werden kann.

[0005] Gelöst wird die Aufgabe zum einen verfahrensmäßig bei einem gattungsgemäßen Verfahren erfindungsgemäß durch die kennzeichnenden Merkmale des Anspruchs 1 und zum anderen bei einer gattungsgemäßen Halbleiterspeichereinrichtung erfindungsgemäß durch die kennzeichnenden Merkmale des Anspruchs 15. Vorteilhafte Weiterbildungen der erfindungsgemäßen Halbleiterspeichereinrichtung sowie des erfindungsgemäßen Verfahrens zur Herstellung der erfindungsgemäßen Halbleiterspeichereinrichtung sind jeweils Gegenstand der abhängigen Unteransprüche.

[0006] Beim gattungsgemäßen Verfahren zum Herstellen einer Halbleiterspeichereinrichtung, insbesondere eines Chain-FeRAM-Speichers oder dergleichen wird zunächst ein Halbleitersubstrat oder dergleichen, ein Passivierungsbereich und/oder ein Oberflächenbereich davon mit einer CMOS-Struktur ausgebildet. Diese Anordnung ist grundlegend für die Schaltung der Halbleiterspeichereinrichtung. Ferner wird im Bereich des Halbleitersubstrats oder dergleichen, eines Passivierungsbereichs und/oder eines Oberflächenbereichs davon eine Kondensatoranordnung einer Mehrzahl als Speicherelemente dienender Kondensatoreinrichtungen ausgebildet.

[0007] Bei dem erfindungsgemäßen Verfahren zum Herstellen einer Halbleiterspeichereinrichtung, insbesondere eines Chain-FeRAM-Speichers, ist es vorgesehen, dass diese gerade in der erfindungsgemäßen Form der Halbleiterspeichereinrichtung ausgebildet wird.

[0008] Das erfindungsgemäße Herstellungsverfahren sieht vor, dass die Kondensatoreinrichtung jeweils in Bezug auf das, sich insbesondere im Wesentlichen horizontal erstreckende, Halbleitersubstrat oder dergleichen, einen Passivierungsbereich und/oder einen Oberflächenbereich davon sich zumindest teilweise und/oder lokal im Wesentlichen vertikal oder senkrecht zum Substrat erstreckend ausgebil-

det und/oder strukturiert wird. Des Weiteren ist es erfindungsgemäß vorgesehen, dass dadurch insbesondere jeweils eine im Wesentlichen dreidimensionale und/oder eine sich in Bezug auf das, sich insbesondere im Wesentlichen horizontal erstreckende Halbleitersubstrat oder dergleichen und/oder eines Oberflächenbereichs davon zumindest teilweise und/oder lokal im Wesentlichen in die dritte Dimension erstreckende Anordnung oder Struktur für die jeweilige Kondensatoreinrichtung ausgebildet und/oder strukturiert wird.

[0009] Es ist somit eine grundlegende Idee des erfindungsgemäßen Verfahrens, insbesondere bei einem Chain-FeRAM-Speicher, die jeweiligen Kondensatoreinrichtungen so auszubilden und/oder zu strukturieren, dass sie in Bezug auf die Oberfläche des Halbleitersubstrats oder dergleichen im Wesentlichen sich vertikal erstreckend verlaufen. Dadurch wird erreicht, dass die Integrationsdichte und damit die Fläche des gesamten Zellenfeldes nicht mehr durch den notwendigen Flächenanteil der Elektrodenflächen dominiert wird, sondern letztlich im Wesentlichen durch das Auflösungsvermögen und die Feature Size des Strukturierungsverfahrens beim Ausbilden der Kondensatoranordnungen. Grundsätzlich ist somit die Möglichkeit gegeben, die Feature Size oder minimale laterale Ausdehnung einer Kondensatoreinrichtung an die physikalisch notwendigen Schichtdicken für die Kondensatorelektroden und das Dielektrikum zu orientieren.

[0010] Dabei werden eine erste und eine zweite Elektrodeneinrichtung sowie ein im Wesentlichen dazwischen vorgesehene Dielektrikum der jeweiligen Kondensatoreinrichtung jeweils in Bezug auf das, insbesondere sich im Wesentlichen horizontal erstreckende, Halbleitersubstrat oder dergleichen und/oder eines Passivierungsbereichs und/oder eines Oberflächenbereichs davon zumindest teilweise und/oder lokal sich im Wesentlichen vertikal erstreckend ausgebildet und/oder strukturiert. Dies geschieht derart, dass dabei insbesondere die Abfolge von erster Elektrodeneinrichtung, Dielektrikum und zweiter Elektrodeneinrichtung der jeweiligen Kondensatoreinrichtung in Bezug auf das, insbesondere sich im Wesentlichen horizontal erstreckende, Halbleitersubstrat oder dergleichen und/oder eines Passivierungsbereichs und/oder eines Oberflächenbereichs davon zumindest teilweise und/oder lokal sich im Wesentlichen horizontal erstreckend ausgebildet wird, insbesondere in einer nebeneinander angeordneten Form im Oberflächenbereich des Halbleitersubstrats und/oder eines Passivierungsbereichs davon.

[0011] Vorangehend und nachfolgend ist mit dem Dielektrikum immer das zentrale Dielektrikum des Speicherkondensators/der Kondensatoreinrichtung und/oder das sogenannte Node-Dielektrikum gemeint. Dies ist insbesondere ein Ferroelektrikum (SBT, PZT, ...), ein Paraelektrikum oder dergleichen.

[0012] Es ist bevorzugterweise vorgesehen, daß das, insbesondere sich im Wesentlichen horizontal erstreckende, Halbleitersubstrat oder dergleichen und/oder ein Oberflächenbereich davon und insbesondere die CMOS-Struktur durch einen im Wesentlichen oberliegenden und/oder sich im Wesentlichen lateral erstreckenden Passivierungsbereich aus einem im Wesentlichen elektrisch isolierenden Material zumindest teilweise abgedeckt und/oder eingebettet werden. Durch diese Maßnahme wird eine Trennung zwischen dem eigentlichen Halbleitersubstrat und der darin ausgebildeten CMOS-Struktur und der darüber anzuordnenden Kondensatoranordnung geschaffen.

[0013] An definierten Bereichen und/oder an definierten Stellen im Passivierungsbereich werden gemeinsame Ausnehmungen ausgebildet, insbesondere durch einen Ätzprozess oder dergleichen und/oder insbesondere in vom Niveau

des Halbleitersubstrats oder dergleichen und/oder eines Oberflächenbereichs davon im Wesentlichen vertikal beabstandeter Art und Weise.

[0014] Dabei werden als definierte Bereiche oder als definierte Stellen insbesondere Bereiche im Wesentlichen zwischen vorgesehenen Kontaktbereichen oder Plugbereichen zur Kontaktierung der Kondensatoranordnung mit der CMOS-Struktur des Halbleitersubstrats oder dergleichen und/oder eines Oberflächenbereichs davon gewählt.

[0015] Es ist vorgesehen, dass die Ausnehmungen vertikal zumindest teilweise bis unter das Niveau der Oberflächenbereiche vorgesehener Plugbereiche oder Kontaktbereiche ausgebildet werden.

[0016] Des Weiteren oder alternativ ist es vorgesehen, dass die Ausnehmungen lateral zumindest teilweise zumindest bis an Randbereiche vorgesehener Plugbereiche oder Kontaktbereiche ausgebildet werden und insbesondere darüber hinaus. Zusätzlich ist es dabei vorgesehen, dass dadurch die Randbereiche der Plugbereiche oder Kontaktbereiche als Randbereiche der ausgebildeten Ausnehmungen vorgesehen werden. Durch diese Maßnahmen wird erreicht, dass die Ränder oder Wände der Plugs gleichzeitig Ränder oder Wände der Ausnehmungen bilden. Dies ist im Hinblick auf die Ausgestaltung der Kontaktierung mit den Elektrodenanordnungen besonders vorteilhaft.

[0017] Nachfolgend wird dann mindestens ein Materialbereich für die Elektrodenanordnungen abgeschieden. Dies geschieht insbesondere unter Verwendung mindestens eines im Wesentlichen elektrisch leitfähigen Materials, zum Beispiel eines Metalls, eines Metalloxids und/oder dergleichen. Ferner erfolgt das Abscheiden des Materialbereichs für die Elektrodenanordnungen vorzugsweise in konformer Art und Weise, in Form einer zweidimensionalen oder 2D-Abscheidetechnik, in großflächiger und/oder ganzflächiger Art und Weise, wobei insbesondere Randbereiche der Ausnehmungen ausgekleidet und/oder abgedeckt werden.

[0018] Durch die vorangehend geschilderten Maßnahmen wird somit die Kondensatoranordnung mit der Mehrzahl von Kondensatoreinrichtungen grundlegend vorstrukturiert, wobei inhärent eine Kontaktierung der Elektrodenanordnungen der Kondensatoreinrichtungen mit den Plugbereichen und der darunter ausgebildeten CMOS-Struktur sichergestellt wird.

[0019] Dabei ist eine Trennung der nicht zu kontaktierenden Elektrodenanordnungen gegebenenfalls notwendig. Dies wird insbesondere dadurch realisiert, dass zumindest sich im Wesentlichen lateral erstreckende Bereiche des Materialbereichs für die Elektrodenanordnungen auf das Niveau abgetragen und entfernt werden, insbesondere durch anisotropes Rückätzen oder dergleichen.

[0020] Wie bereits erwähnt wurde, ist unter Umständen ein Schutz des Kontaktbereichs oder Plugbereichs zur Kontaktierung der Kondensatoreinrichtungen der Kondensatoranordnung mit der CMOS-Struktur notwendig. Folglich ist es gemäß einer weiteren Ausführungsform des erfindungsgemäßen Herstellungsverfahrens vorgesehen, dass vor dem Aufbringen des Materialbereichs für das die Elektrodenanordnung im Bereich der Kontakt- oder Plugbereiche in der CMOS-Struktur zur Verschaltung und/oder Kontaktierung der Kondensatoranordnung im Halbleitersubstrat oder dergleichen jeweils eine im Wesentlichen elektrisch leitfähige Barrierschicht ausgebildet wird, insbesondere durch konformes Abscheiden, insbesondere in mehrschichtiger Form. Dabei ist es ferner vorgesehen, dass dadurch zumindest Randbereiche der Plugbereiche abgedeckt werden, um eine Zwischenschicht als Diffusionsbarriere zwischen den Plugbereichen und den Elektrodenanordnungen auszubilden. Des Weiteren ist es dabei vorgesehen, dass beim Abtragen

und/oder Entfernen der lateralen Bereiche der Materialschicht der Elektrodenanordnungen die sich im Wesentlichen lateral erstreckenden Bereiche der Barrierschicht mit entfernt werden. Dadurch wird verhindert, dass nachfolgend über die elektrisch leitfähige Barrierschicht Kurzschlüsse entstehen können.

[0021] Ein weiterer Aspekt des erfindungsgemäßen Verfahrens besteht darin, dass auf lateralen Bodenbereichen oder dergleichen der Ausnehmungen, insbesondere auf der freien Oberfläche des Passivierungsbereichs, jeweils ein Barriere- und/oder Isolationsbereich für das vorzusehende Dielektrikum ausgebildet wird, insbesondere durch spezifisches und/oder anisotropes Abscheiden und/oder insbesondere unter Verwendung mindestens eines im Wesentlichen elektrisch isolierenden Materials.

[0022] Vorteilhafterweise wird der Barriere- und/oder Isolationsbereich für das Dielektrikum jeweils in mehreren Schichten ausgebildet. Zusätzlich oder alternativ ist es vorgesehen, dass der Barriere- und/oder Isolationsbereich für das Dielektrikum in einem vom Halbleitersubstrat oder dergleichen im Wesentlichen abgewandten obersten Bereich und/oder einem Oberflächenbereich davon jeweils als Nukleationsschicht für das danach aufzubringende Dielektrikum ausgebildet wird.

[0023] Des Weiteren wird bevorzugt, dass – insbesondere auf dem jeweiligen Barriere- und/oder Isolationsbereich für das Dielektrikum – ein Materialbereich für das Dielektrikum abgeschieden wird, insbesondere durch einen zweidimensionalen oder 2D-Abscheidvorgang, in großflächiger, ganzflächiger, und/oder in die Ausnehmungen bis zum Niveau der Oberflächenbereiche des Passivierungsbereichs füllender Form und/oder durch nachfolgendes Polieren bis auf das Niveau der Oberflächenbereiche des Passivierungsbereichs.

[0024] Nachfolgend können gemäß einer weiteren Ausführungsform des erfindungsgemäßen Herstellungsverfahrens die Materialschicht für das Dielektrikum und/oder das Dielektrikum einem Temperprozess unterzogen werden, insbesondere unter erhöhter Temperatur und/oder in einer definierten Prozessatmosphäre, welche insbesondere Sauerstoff oder dergleichen enthält, und zwar ohne Schädigung der Bereiche unterhalb der Schicht für den Barriere- und/oder Isolationsbereich für das Dielektrikum.

[0025] Bei der vorrichtungsmäßigen Lösung der Aufgabe ist es vorgesehen, dass die Kondensatoreinrichtung, insbesondere bei einem Chain-FeRAM-Speicher, jeweils in Bezug auf das, sich insbesondere im Wesentlichen horizontal erstreckende, Halbleitersubstrat oder dergleichen und/oder in Bezug auf einen Passivierungsbereich und/oder einen Oberflächenbereich davon zumindest teilweise und/oder lokal im Wesentlichen vertikal erstreckend ausgebildet ist und dass dadurch insbesondere jeweils eine im Wesentlichen dreidimensionale und/oder eine sich in Bezug auf das, sich insbesondere im Wesentlichen horizontal erstreckende, Halbleitersubstrat oder dergleichen, in Bezug auf einen Passivierungsbereich und/oder einen Oberflächenbereich davon zumindest teilweise und/oder lokal in eine dritte Dimension erstreckende Anordnung oder Struktur für die jeweilige Kondensatoreinrichtung ausgebildet ist.

[0026] Es ist somit ein Kerngedanke der vorliegenden Erfindung, die Speicherkondensatoren der Kondensatoranordnung der Halbleiterspeichereinrichtung – im Gegensatz zur herkömmlichen Anordnung, bei welcher die Kondensatoreinrichtungen horizontal oder sich lateral erstreckend ausgebildet sind – vertikal auszurichten. Dann nämlich ist die Fläche der jeweiligen Kondensatoreinrichtung nicht durch die Elektrodenflächen bestimmt und gegeben, sondern letztlich durch die jeweiligen Schichtdicken, welche für die Elektro-

deneinrichtungen und für das Dielektrikum notwendig sind. Das bedeutet, dass eine weitere Steigerung der Integrationsdichte erreicht werden kann, weil die notwendigen Flächenanteile für die Elektroden und für das Dielektrikum durch die dreidimensionale Strukturierung bereitgestellt werden. [0027] Dabei weisen die jeweiligen Kondensatoreinrichtungen jeweils eine erste Elektrodeneinrichtung, eine zweite Elektrodeneinrichtung und ein im Wesentlichen dazwischen vorgesehenes Dielektrikum auf.

[0028] Vorteilhafterweise ist die Kondensatoreinrichtung jeweils als Stackstruktur oder Stapelstruktur ausgebildet oder weist eine solche auf, so dass sich eine besonders kompakte Bauform ergibt, was sich bei einer Offsetstruktur nur in unzureichender Weise realisieren lässt.

[0029] Es ist insbesondere vorgesehen, dass die Elektrodeneinrichtung und/oder das Dielektrikum der jeweiligen Kondensatoreinrichtung jeweils in Bezug auf das, sich insbesondere im Wesentlichen horizontal erstreckende, Halbleitersubstrat oder dergleichen, in Bezug auf einen Isolationsbereich oder Passivierungsbereich und/oder in Bezug auf einen Oberflächenbereich davon zumindest teilweise und/oder lokal sich im Wesentlichen vertikal erstreckend ausgebildet sind. Dabei ist es insbesondere vorgesehen, dass die Abfolge von erster Elektrodeneinrichtung, Dielektrikum und zweiter Elektrodeneinrichtung der jeweiligen Kondensatoreinrichtung in Bezug auf das, sich insbesondere im Wesentlichen horizontal erstreckende, Halbleitersubstrat oder dergleichen, in Bezug auf einen Isolationsbereich oder Passivierungsbereich und/oder in Bezug auf einen Oberflächenbereich davon zumindest teilweise und/oder lokal sich im Wesentlichen horizontal erstreckend ausgebildet ist, insbesondere in nebeneinander angeordneter Form im Oberflächenbereich des Halbleitersubstrats oder dergleichen und/oder eines Isolationsbereichs oder Passivierungsbereichs davon. Gemäß dieser Maßnahme ist es also vorgesehen, dass die Abfolge der Elektrodeneinrichtungen und des Dielektrikums quasi einen Stapel bildet, der senkrecht auf der Oberfläche des Halbleitersubstrats oder des Passivierungsbereichs davon steht, wobei sich die Abfolge, also die Stapelrichtung in horizontaler Richtung erstreckt und die jeweiligen Bereiche, nämlich die ersten und zweiten Elektroden und das dazwischen vorgesehene Dielektrikum, senkrecht verlaufen.

[0030] Vorteilhafterweise weist das Dielektrikum jeweils ein ferroelektrisches und/oder ein paraelektrisches Material oder dergleichen auf oder ist aus einem solchen gebildet.

[0031] Es ist weiterhin bevorzugterweise vorgesehen, dass die Kondensatoranordnung zumindest zum Teil eine verbundene oder Chainstruktur der Kondensatoreinrichtungen aufweist. Diese Form der Verbindung der Kondensatoreinrichtungen und deren Nutzung gemeinsamer Elektrodeneinrichtungen ist besonders platzsparend und unterstützt damit die Ausbildung möglichst hoher Integrationsdichten.

[0032] Gemäß einer weiter bevorzugten Ausführungsform ist es vorgesehen, dass zur Realisierung der oben angesprochenen Chainstruktur zumindest ein Teil der Kondensatoreinrichtungen mit ihrer jeweiligen ersten Elektrodeneinrichtung über ein erstes Kontaktelement mit der ersten Elektrodeneinrichtung einer ersten im Wesentlichen direkt räumlich benachbarten Kondensatoreinrichtung und mit ihrer zweiten Elektrodeneinrichtung über ein zweites Kontaktelement mit der zweiten Elektrodeneinrichtung in der zweiten im Wesentlichen räumlich direkt benachbarten Kondensatoreinrichtung der Kondensatoranordnung kontaktiert ausgebildet ist.

[0033] Die Kontaktelemente können auch als Kontakt- oder Übergangsbereiche bezeichnet werden. Vorzugsweise bilden dabei die jeweils miteinander kontaktierten ersten

Elektrodeneinrichtungen und/oder zweiten Elektrodeneinrichtungen jeweils einen im Wesentlichen einstückigen elektrisch leitfähigen Bereich. Dies kann zum Beispiel dadurch geschehen, dass die jeweiligen kontaktierten Elektrodeneinrichtungen zum Beispiel in Form eines zusammenhängenden Metallbereichs oder dergleichen ausgebildet sind. Andererseits ist es denkbar, dass die miteinander kontaktierten Elektrodeneinrichtungen jeweils separate leitfähige, zum Beispiel metallische, Bereiche bilden, die über ein jeweils vorgesehenes erstes bzw. zweites Kontaktelement miteinander kontaktiert werden.

[0034] Zur Kontaktierung und/oder Verschaltung der Kondensatoranordnung und/oder insbesondere der Kondensatoreinrichtungen, insbesondere der Elektrodeneinrichtungen, im Halbleitersubstrat oder dergleichen und/oder in einer Deckschicht oder Passivierungsschicht und/oder in einem Oberflächenbereich davon ist jeweils ein Kontaktbereich oder Plugbereich vorgesehen, welcher jeweils insbesondere mit der jeweiligen Kondensatoreinrichtung, insbesondere mit der jeweiligen Elektrodeneinrichtung davon, im Wesentlichen elektrisch leitend kontaktiert ausgebildet ist. Das bedeutet, dass die der Halbleiterspeichereinrichtung zugrundeliegende Schaltung, zum Beispiel in Form einer CMOS-Struktur, über die jeweiligen Kontaktbereiche oder Plugbereiche mit den Kondensatorelektroden oder Elektrodeneinrichtungen verbunden ist. Dies geschieht zum Beispiel über direkte Kontaktierung der Plugbereiche mit den einzelnen Elektroden oder mit den vorgesehenen ersten bzw. Kontaktelementen, welche die Elektrodeneinrichtungen miteinander verbinden.

[0035] Es ist vorteilhafterweise ferner vorgesehen, dass die Elektrodeneinrichtungen jeweils im Wesentlichen in einem Bereich in unmittelbarer räumlicher Nachbarschaft zu den Kontaktbereichen oder Plugbereichen angeordnet und/oder ausgebildet sind, insbesondere direkt an diesen anschließend und/oder insbesondere direkt über diesen am Oberflächenbereich des Halbleitersubstrats oder einer Deckschicht oder Passivierungsschicht davon.

[0036] Es ist bekannt, dass beim Prozessieren und/oder im Betrieb bestimmte Umgebungsbestandteile oder Umgebungsmaterialien benachbarter Schichten oder auch aus der Prozess- oder Betriebsatmosphäre in bestimmte Materialbereiche der Halbleiterspeichereinrichtung hinein diffundieren können. Dies kann gegebenenfalls zu unerwünschten chemischen Umsetzungen oder Reaktionen führen, welche die Struktur und/oder die Funktionsweise bestimmter Bereiche der Halbleiterspeichereinrichtung beeinträchtigen können. Es ist somit vorteilhaft, dass zwischen dem Kontaktbereich und/oder Plugbereich und der jeweiligen Kondensatoreinrichtung, insbesondere der jeweiligen Elektrodeneinrichtung davon, jeweils ein im Wesentlichen elektrisch leitfähiger Barrierebereich vorgesehen ist, insbesondere eine Sauerstoffbarriere oder dergleichen, durch welchen im Betrieb und/oder beim Prozessieren die Diffusion von Umgebungsbestandteilen, insbesondere von Sauerstoff oder dergleichen, zum Kontaktbereich oder Plugbereich hin zumindest reduzierbar ist.

[0037] Das Aufbringen und Strukturieren eines Dielektrikums ist grundsätzlich problematisch, weil eine Vielzahl von Parametern optimiert werden muss, um gewünschte elektrische Eigenschaften für die auszubildenden Kondensatoreinrichtungen zu verwirklichen.

[0038] Entsprechend ist es gemäß einer weiteren vorteilhaften Ausgestaltung der erfindungsgemäßen Halbleiterspeichereinrichtung vorgesehen, dass zwischen dem Dielektrikum und dem Bereich des Halbleitersubstrats oder dergleichen und/oder des Passivierungsbereichs und/oder des Oberflächenbereichs davon ein Barriere- und/oder Isolati-

onsbereich für das Dielektrikum aus einem im Wesentlichen elektrisch isolierenden Material vorgesehen ist. Dieses Material dient zum einen als mechanische Kontaktschicht und Übergangsschicht zwischen der Halbleiteroberfläche oder Passivierungsoberfläche und dem Dielektrikum. Ferner wird weiterhin die elektrische Isolation des Dielektrikums gegenüber dem Halbleitermaterial und/oder dem Passivierungsmaterial gewährleistet, so dass Leckströme weitestgehend vermieden werden.

[0039] Dabei ist der Barriere- und/oder Isolationsbereich für das Dielektrikum vorteilhafterweise mehrschichtig ausgebildet, um die ihm zugeschriebene Funktionsweise in besonders günstiger Art und Weise zu erreichen.

[0040] Gemäß einer besonderen Ausführungsform ist es vorgesehen, dass zumindest der dem Dielektrikum zugewandte Bereich oder die entsprechende Schicht des Barriere- und/oder Isolationsbereichs für das Dielektrikum, insbesondere also ein Oberflächenbereich davon, als Nukleationsschicht oder dergleichen ausgebildet ist, um beim Prozessieren und/oder im Betrieb der Halbleiterspeichereinrichtung eine gewünschte Struktur, insbesondere eine Kristallstruktur oder dergleichen, für das Dielektrikum zu unterstützen und/oder zu stabilisieren. Insbesondere kann dabei an einen Kristallwachstumsprozess gedacht werden, der auf dem Oberflächenbereich des Barriere- und/oder Isolationsbereichs für die Dielektrikumsschicht, also der Nukleationsschicht initiiert wird und der durch seine Struktur eine bestimmte Kristallgeometrie oder Kristallausrichtung bei der Entstehung oder bei dem Aufwachsen des Dielektrikumsmaterials steuert und erzwingt.

[0041] Weitere Aspekte und Vorteile der vorliegenden Erfindung ergeben sich aus den nachstehend aufgeführten Bemerkungen:

Bei der Herstellung ferroelektrischer Kondensatoren für Anwendungen in nichtflüchtigen Halbleiterspeichern hoher Integrationsdichte wird ein ferroelektrisches Material als Dielektrikum zwischen den Elektroden eines Speicherkondensators eingesetzt. Dabei kann es sich um Materialien wie $\text{SrBi}_2(\text{Ta,Nb})_2\text{O}_9$ (SBT oder SBTN), $\text{Pb}(\text{Zr,Ti})\text{O}_3$ (PZT), oder $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BTO) oder dergleichen oder leichten Abwandlungen handeln. Es können auch paraelektrische Materialien zum Einsatz kommen, zum Beispiel $(\text{Ba,Sr})\text{TiO}_3$ (BST).

[0042] Da nach dem Abscheiden des Dielektrikums dieses im Hinblick auf seine Kristallstruktur und seine elektromagnetischen Eigenschaften einem Temperprozess unterworfen wird, sollte das Material für die Elektroden hohen Temperaturen in einer sauerstoffhaltigen Atmosphäre widerstehen können. Es bieten sich somit Edelmetalle oder metallische Oxide an. Insbesondere können Pt, Pd, Ir, Rh, Ru, RuO_x , IrO_x , RhO_x , SrRuO_3 , LSCO (LaSrCoO_x), Hochtemperatur-(HT)-Supraleiter ($\text{YBa}_2\text{Cu}_3\text{O}_7$, ...) oder dergleichen zum Einsatz kommen.

[0043] Herkömmliche Halbleiterspeichereinrichtungen und insbesondere ferroelektrische Halbleiterspeicher sind dahingehend nachteilhaft, dass ihre Integrationsdichte maßgeblich durch die Mindestanforderungen im Hinblick auf die Elektrodenflächen limitiert ist. Dies liegt daran, dass die Elektroden in zur Oberfläche des Halbleitersubstrats oder seines Passivierungsbereichs horizontaler Ausrichtung angeordnet werden. Ferner sind dadurch die Elektrodenanordnungen der Kondensatoren im Wesentlichen zweidimensional arrangiert.

[0044] Grundgedanke der vorliegenden Erfindung ist die Ausbildung einer dreidimensionalen und/oder vertikalen Struktur für ferroelektrische Speicherkondensatoren für FeRAM-Speicherbausteine insbesondere vom verketteten oder Chain-Typ.

[0045] Vertikal bedeutet dabei, dass die Elektroden der Speicherkondensatoren in oder zum Ferroelektrikum vertikal oder vertikal verlaufend angeordnet werden. Ein dreidimensionaler, vertikaler Kondensator ist einfach zu verkleinern, da hier ausschließlich die physikalisch minimal einzuhaltenden Schichtdicken für die Integrationsdichte limitierend sind. Ein vertikal angeordneter Speicherkondensator benötigt deshalb besonders wenig Platz auf der Oberfläche des Halbleitersubstrats. Eine 4F^2 -Zelle ist somit beim Chain-Konzept mit vertikalem, dreidimensionalem Kondensator denkbar.

[0046] Nachfolgend wird die Erfindung anhand einer schematischen Zeichnung auf der Grundlage bevorzugter Ausführungsformen näher erläutert.

[0047] Fig. 1-5 zeigen in schematischer und geschnittener Seitenansicht verschiedene Zwischenstufen bei der erfindungsgemäßen Herstellung einer erfindungsgemäßen Halbleiterspeichereinrichtung.

[0048] Die in den Fig. 1-5 in schematischer und geschnittener Seitenansicht gezeigten Zwischenstufen bei der Herstellung einer erfindungsgemäßen Halbleiterspeichereinrichtung mittels einer Ausführungsform des erfindungsgemäßen Herstellungsverfahrens werden gleiche oder gleich wirkende Elemente der Bereiche mit identischen Bezugszeichen bezeichnet, und ihre Beschreibung wird im Detail nicht für jede Figur einzeln wiederholt.

[0049] Ausgangspunkt beim Aufbau der erfindungsgemäßen Halbleiterschaltungseinrichtung 1 gemäß dem erfindungsgemäßen Herstellungsverfahren ist die in Fig. 1 in seitlicher Querschnittsansicht gezeigte Anordnung.

[0050] In einem eigentlichen Halbleitersubstrat 20 wird in einem Vorprozess eine CMOS-Struktur ausgebildet, welche der Verschaltung der Halbleiterspeichereinrichtung 1 dient. In einem Oberflächenbereich 20a des Halbleitersubstrats 20 sind zur Auswahl der auszubildenden Speicherzellen, d. h. zur Ansteuerung der entsprechend auszubildenden Speicherkondensatoren 10-1, ..., 10-4, Auswahltransistoreinrichtungen T1 bis T4 vorgesehen. Diese werden gebildet von im Oberflächenbereich 20a des Halbleitersubstrats 20 angeordneten Source/Drain-Bereichen SD. Dabei sind benachbarte Source/Drain-Bereiche SD voneinander beabstandet angeordnet und durch einen Zwischenbereich 20b im Oberflächenbereich 20a des Halbleitersubstrats 20 voneinander getrennt.

[0051] Oberhalb der Zwischenbereiche 20b im Oberflächenbereich 20a des Halbleitersubstrats 20 verlaufen über Gateoxidbereiche G elektrisch isoliert im Wesentlichen elektrisch leitfähige Wortleitungen WL. Über die Wortleitungen WL werden die dadurch als Gate fungierenden Gateoxidbereiche G der einzelnen Auswahltransistoreinrichtungen T1 bis T4 angesteuert. Oberhalb der Source/Drain-Bereiche SD, das heißt, sich vom Oberflächenbereich 20a aus erstreckend, sind sogenannte Kontaktbereiche, Plugbereiche oder Plugs P aus im Wesentlichen elektrisch leitenden Material vorgesehen. Die Plugs P stehen in im Wesentlichen elektrisch leitendem Kontakt mit den Source/Drain-Bereichen SD.

[0052] Die Wortleitungen WL, die Gateoxidbereiche G sowie die Plugs P sind in einen Passivierungsbereich 21 eingebettet, der zum Beispiel aus einem Siliziumoxid gebildet ist. Dem Oberflächenbereich 20a des eigentlichen Halbleitersubstrats 20 gegenüberliegend befindet sich der Oberflächenbereich 21a des Passivierungsbereichs 21. Somit erstrecken sich die Plugs P vom Oberflächenbereich 20a, nämlich mit den Source/Drain-Bereichen SD in elektrisch schaltendem Kontakt stehend, mit ihrem eigenen Oberflächenbereich Pa bis zum Oberflächenbereich 21a des Passivierungsbereichs 21.

[0053] Die in Fig. 1 gezeigte Anordnung und Struktur kann mit Standardverfahren, wie sie im Stand der Technik bekannt sind, ausgebildet werden.

[0054] Von der in Fig. 1 in seitlicher Querschnittsansicht gezeigten Grundstruktur ausgehend, wird erfindungsgemäß wie folgt verfahren, um die erfindungsgemäße Halbleiterspeichereinrichtung 1 auszubilden:

Zunächst wird im Rahmen eines im Wesentlichen anisotropen, also gerichteten Ätzprozesses oder Lithografieschritts eine Mehrzahl von Ausnehmungen 22 im Passivierungsbereich 21 des Halbleitersubstrats 20 ausgebildet. Die Ausnehmungen 22 werden an definierten Stellen K zwischen den Plugbereichen P und oberhalb der Wortleitungen WL und Gatebereiche G ausgebildet. Die Ausnehmungen 22 erstrecken sich dabei in vertikaler Richtung ausgehend von der Oberfläche 21a des Passivierungsbereichs 21 bis unter das Niveau der Oberfläche Pa der Plugbereiche P. In lateraler Richtung werden dabei zumindest die Wandbereiche oder Randbereiche Pb der Plugbereiche P zum Teil mit abgetragen, so dass zurückgezogene und neue Randbereiche oder Wandbereiche Pb' entstehen, die ihrerseits die Randbereiche 22b der ausgebildeten Ausnehmungen 22 bilden. Die Ausnehmungen 22 sind somit an den Seiten durch die Randbereiche 22b oder Randbereiche Pb der Plugs P und nach unten durch die Bodenbereiche 22a auf der freien Oberfläche des Passivierungsbereichs 21 begrenzt und ansonsten nach oben hin offen.

[0055] Diese Zwischenstufe des erfindungsgemäßen Verfahrens ist in Fig. 2 gezeigt. Im Übergang zur Fig. 3 wird dann ein Materialbereich 26 für die auszubildenden Elektroden 14 und 18 in zweidimensionaler, ganzflächiger und konformer Art und Weise auf der vorstrukturierten Oberflächenfolge 22b, Pb', 21a abgeschieden, so dass das Material der Materialschicht 26 für die Elektroden 14 und 18 der Kontur folgt, die durch die Flächen 22a, Pb', 21a im Wesentlichen gebildet wird. Auf diese Art und Weise werden Materialabschnitte 26b in lateraler Richtung und 26c in im Wesentlichen vertikaler Richtung auf der Oberflächenkontur ausgebildet.

[0056] Zur Trennung der leitfähigen Bereiche 26c voneinander wird in einem anisotropen Ätzvorgang die konform ausgebildete Materialschicht 26 derart rückgeätzt, dass die Bodenbereiche 22a der Ausnehmungen 22 sowie die Oberflächenbereiche 21a des Passivierungsbereichs 21 auf der Oberfläche Pa der Plugs P vom leitfähigen Material der Schicht 26 befreit sind, d. h., es werden die lateralen Materialbereiche 26b vollständig entfernt, und die vertikal verlaufenden Materialbereiche 26c bleiben als erste Elektroden 14 und zweite Elektroden 18, die über Kontaktelemente 11-1 und 11-2 miteinander elektrisch leitend verbunden sind, bestehen. Diese Kontaktelemente 11-1 und 11-2 sind in dem in den Fig. 1 bis 4 gezeigten Ausführungsbeispiel als integrale Bestandteile der Plugs P ausgebildet.

[0057] Fig. 4 zeigt diesen Zwischenzustand, bei welchem die ersten und zweiten Elektroden 14 bzw. 18 jeweils voneinander getrennt ausgebildet sind.

[0058] Ausgehend von dem in Fig. 4 gezeigten Zwischenzustand werden die freigebliebenen Ausnehmungen 22 mit einem entsprechenden Dielektrikum 16, vorzugsweise einem Ferroelektrikum, gefüllt. Dies kann dadurch erfolgen, dass der vorstrukturierte Oberflächenbereich in einem im Wesentlichen großflächigen oder ganzflächigen oder 2D-Abscheideverfahren mit einer entsprechenden Materialschicht überzogen wird, so dass insbesondere die Ausnehmungen 22 zwischen den ersten und zweiten Elektroden 14 und 18 über das Niveau des Oberflächenbereichs 21a des Passivierungsbereichs 21 hinaus aufgefüllt werden. Anschließend würde dann ein Polierschritt mit Stopp auf dem

Niveau des Oberflächenbereichs 21a des Passivierungsbereichs 21 durchgeführt.

[0059] Diese Zwischenstufe des Ausführungsbeispiels des erfindungsgemäßen Herstellungsverfahrens ist in Fig. 5 gezeigt. Gegebenenfalls schließen sich dann noch Abscheidevorgänge im Hinblick auf weitere Passivierungs- und/oder Kontaktschichten an.

[0060] Ein weiterer wesentlicher Aspekt der vorliegenden Erfindung ist, dass ein entsprechendes Dielektrikumsmaterial, insbesondere ein Ferroelektrikum, durch eine zugrundeliegende Schicht in seiner Kristallisation beeinflusst werden kann und somit in seinen Kristalleigenschaften in gewünschter Art und Weise aufgebaut werden kann. Insbesondere hat sich durch entsprechende Oberflächenstrukturanalysen und spektroskopische Untersuchungen gezeigt, dass zum Beispiel PZT auf Al_2O_3 in [111]-Richtung kristallisiert. Insgesamt ergibt sich eine Identifizierung des Materialsystems $\text{Al}_2\text{O}_3/\text{PZT}$ als Materialsystem für ein vertikales Chain-FerAM-Kondensatorkonzept.

[0061] Die Strukturierung der Barrierschichten, insbesondere mit Hilfe einer Schlüsselstruktur oder dergleichen, ergibt eine besonders vorteilhafte Prozessabfolge. Alternativ kann die gleiche vorteilhafte Ausgestaltung erreicht werden, durch einen Recess-Prozess mit Arc oder mit Fotolack: Dabei wird zunächst ein Recess oder eine Ausnehmung im bereits fertiggestellten Plugbereich ausgebildet. Danach wird eine TiN-Schicht durch Sputtern aufgebracht. Es folgt nachfolgend die Abscheidung eines Resists und die weitere Ausbildung einer Ausnehmung oder eines Recesses. Anschließend folgt der TiN-Recess. Dann wird der Resist entfernt und es folgt das Abscheiden zum Beispiel von Iridium durch Sputtern und ein nachfolgender Planarisierungsschritt durch CMP.

[0062] Es können auch drei Barrierschichten in einer vertikalen Kondensatoranordnung vergraben werden. Dabei ist die Materialkombination für die Barrieren, die Elektrode und die Ferroelektrika unterschiedlich, je nachdem ob keine, eine, zwei oder drei Barrierschichten ausgebildet werden sollen.

[0063] In Bezug auf die Strukturierung des Dielektrikums, insbesondere des Ferroelektrikums, ergeben sich die folgenden Besonderheiten: Insbesondere im Hinblick auf $4\text{F}^2-8\text{F}^2$ -Flächen treten beim Ätzen hohe Aspektverhältnisse auf. Wichtig ist dabei, dass durch das zweifache Ätzen der ferroelektrischen Strukturen die Elektroden nicht kurzgeschlossen werden und auch zu keiner Zeit freistehende ferroelektrische Strukturen auftreten, welche eventuell in ihrer Struktur nicht beständig sind und umfallen könnten.

[0064] Eine mögliche Vorgehensweise beim Strukturieren des Dielektrikums, insbesondere des Ferroelektrikums, sei wie folgt skizziert:

Nach dem groß- oder ganzflächigen Abscheiden der Al_2O_3 -Barriere sowie des Ferroelektrikums, zum Beispiel in Form von PZT, wird in einem ersten Strukturierungsschritt ein Ätzvorgang ausgeführt, um Bereiche vertikal bis zu den TiN/Ir-Barrieren oberhalb der Plugbereiche zu öffnen. Danach folgt eine nasschemische Reinigung, insbesondere der PZT-Bereiche. Es ergeben sich dabei nahezu vertikale Ätzprofile, zum Beispiel bei einer Pt/PZT-Ätzung von 83–86°. Ferner wird eine gute Selektivität der Oxidmaske von mehr als 0,7 : 1 bereitgestellt.

[0065] Nachfolgend wird das Elektrodenmaterial, zum Beispiel IrO_2 , derart abgeschieden, dass die Ausnehmungen zwischen den PZT-Bereichen mit Kontakt zu den Plugs gefüllt werden. Dies kann vorzugsweise durch ein MOCVD-Verfahren oder dergleichen geschehen, vorzugsweise in zweidimensionaler, großflächiger oder ganzflächiger Form. Gegebenenfalls wird nachfolgend mit Stopp auf der Ober-

fläche des PZT-Bereichs planarisiert, vorzugsweise durch ein CMP-Verfahren. Alternativ ist auch ein Strukturieren durch einen Ätzprozess denkbar. Dann erfolgt noch ein Annealschritt.

[0066] Zur elektrischen Trennung der einzelnen Kondensatoren wird dann wie folgt vorgegangen: Es folgt zunächst ein Ätzschritt in Bezug auf die PZT-Bereiche. Es schließt sich ein nasschemischer Reinigungsschritt der PZT-Bereiche an. Dann wird eine Passivierungsschicht, vorzugsweise aus Al_2O_3 , ausgebildet. Diese Al_2O_3 -Schicht dient als Wasserstoffbarriere und auch als Barriere gegen die Ausbildung von Pb-Silikaten.

[0067] Ein weiterer Kerngedanke der vorliegenden Erfindung ist dabei die gegebenenfalls vorzusehende Abdeckung der vertikalen Chain-FeRAM-Kondensatorstrukturen mit Al_2O_3 . Diese Schicht dient, wie eben bereits erwähnt wurde, als Wasserstoffbarriere und als Pb-Silikatformierungsblocker.

Bezugszeichenliste

1 Halbleiterspeichereinrichtung	
2 Kondensatoranordnung	
10-1 Kondensatoreinrichtung	
10-2 Kondensatoreinrichtung	
10-3 Kondensatoreinrichtung	
10-4 Kondensatoreinrichtung	
11-1, 11-2 Kontaktelement/Kontaktbereich	
14 erste Elektrodeneinrichtung	
16 Dielektrikum	
16a Oberflächenbereich	
18 zweite Elektrodeneinrichtung	
20 Halbleitersubstrat	
20a Oberflächenbereich	
20b Zwischenbereich	
21 Passivierungsschicht, Isolationsschicht, -bereich	
21a Oberflächenbereich	
22 Ausnehmung	
22a Bodenbereich	
22b Randbereich	
26 Materialschicht für Elektrodeneinrichtungen	
26a Oberflächenbereich	
26b lateraler Bereich	
26c vertikaler Bereich	
G Gateoxidbereich	
K definierte Stelle, Bereich	
P Kontaktbereich, Plugbereich	
Pa Oberflächenbereich	
Pb Randbereich	
SD Source-/Drainbereich	
T1-T4 Transistoreinrichtung, Auswahltransistor	
WL Wortleitung	

Patentansprüche

1. Verfahren zum Herstellen einer Halbleiterspeichereinrichtung, insbesondere eines Chain-FeRAM-Speichers oder dergleichen, bei welchem ein Halbleitersubstrat (20) oder dergleichen, ein Passivierungsbereich (21) und/oder ein Oberflächenbereich (20a, 21a) davon mit einer CMOS-Struktur ausgebildet werden und bei welchem im Bereich des Halbleitersubstrats (20) oder dergleichen, eines Passivierungsbereichs (21) und/oder eines Oberflächenbereichs (20a, 21a) davon eine Kondensatoranordnung (2) einer Mehrzahl als Speicherelemente dienender Kondensatoreinrichtungen (10-1, ..., 10-4) ausgebildet wird,

dadurch gekennzeichnet,

dass die Kondensatoreinrichtung (10-1, ..., 10-4) in Bezug auf das, sich insbesondere im Wesentlichen horizontal erstreckende, Halbleitersubstrat (20) oder dergleichen, eines Passivierungsbereichs (21) und/oder eines Oberflächenbereichs (20a, 21a) davon jeweils sich zumindest teilweise und/oder lokal im Wesentlichen vertikal erstreckend ausgebildet und/oder strukturiert wird; und

dass dadurch insbesondere jeweils eine im Wesentlichen dreidimensionale und/oder eine sich in Bezug auf das, sich insbesondere im Wesentlichen horizontal erstreckende, Halbleitersubstrat (20) oder dergleichen, einen Passivierungsbereich (21) und/oder einen Oberflächenbereich (20a, 21a) davon zumindest teilweise und/oder lokal davon im Wesentlichen in die dritte Dimension erstreckende Anordnung oder Struktur für die jeweilige Kondensatoreinrichtung (10-1, ..., 10-4) ausgebildet und/oder strukturiert wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet,

dass eine erste und eine zweite Elektrodeneinrichtung (14, 18) sowie ein im Wesentlichen dazwischen vorgesehenes Dielektrikum (16) einer jeweiligen Kondensatoranordnung (10-1, ..., 10-4) jeweils in Bezug auf das, insbesondere sich im Wesentlichen horizontal erstreckende, Halbleitersubstrat (20) oder dergleichen, den Passivierungsbereich (21) und/oder einen Oberflächenbereich (20a, 21a) davon zumindest teilweise und/oder lokal sich im Wesentlichen vertikal erstreckend ausgebildet und/oder strukturiert wird, und dass dabei insbesondere die Abfolge von erster Elektrodeneinrichtung (14), Dielektrikum (16) und zweiter Elektrodeneinrichtung (18) der jeweiligen Kondensatoreinrichtung (10-1, ..., 10-4) in Bezug auf das, insbesondere sich im Wesentlichen horizontal erstreckende, Halbleitersubstrat (20) oder dergleichen, einen Passivierungsbereich (21) und/oder ein Oberflächenbereich (20a, 21a) davon zumindest teilweise und/oder lokal sich im Wesentlichen horizontal erstreckend ausgebildet wird, insbesondere in nebeneinander angeordneter Form im Oberflächenbereich (20a, 21a) des Halbleitersubstrats (20) und/oder eines Passivierungsbereichs (21) davon.

3. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass das, insbesondere sich im Wesentlichen horizontal erstreckende, Halbleitersubstrat (20) oder dergleichen und/oder ein Oberflächenbereich (20a) davon und insbesondere die CMOS-Struktur durch einen im Wesentlichen obenliegenden und/oder sich im Wesentlichen lateral erstreckenden Passivierungsbereich (21) aus einem im Wesentlichen elektrisch isolierenden Material zumindest teilweise abgedeckt und/oder eingebettet werden.

4. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass in definierten Bereichen oder an definierten Stellen (K) im Passivierungsbereich (21) Ausnehmungen (22) ausgebildet werden, insbesondere durch einen Ätzprozess oder dergleichen und/oder insbesondere in vom Niveau (20a) des Halbleitersubstrats (20) oder dergleichen und/oder eines Oberflächenbereichs (20a) davon im Wesentlichen vertikal beabstandeter Art und Weise.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass als definierte Bereiche und/oder als definierte Stellen (K) Bereiche im Wesentlichen zwischen vorgesehenen Kontaktbereichen oder Plugbereichen (P) zur Kontaktierung der Kondensatoranordnung (2) mit der

CMOS-Struktur des Halbleitersubstrats (20) oder dergleichen und/oder eines Oberflächenbereichs (20a) davon gewählt werden.

6. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Ausnehmungen (22) vertikal zumindest teilweise bis unter das Niveau der Oberflächenbereiche (Pa) vorgesehener Plugbereiche (P) oder Kontaktbereiche ausgebildet werden.

7. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Ausnehmungen (22) lateral zumindest teilweise zumindest bis an Randbereiche (Pb) vorgesehener Plugbereiche (P) oder Kontaktbereiche ausgebildet werden, insbesondere darüber hinaus, und dass dadurch die Randbereiche (Pb, Pb') der Plugbereiche (P) als Randbereiche (22b) der ausgebildeten Ausnehmungen (22) vorgesehen werden.

8. Verfahren nach einem der Ansprüche 4 bis 7, dadurch gekennzeichnet, dass mindestens ein Materialbereich (26) für die Elektrodenrichtungen (14, 18) abgeschieden wird, insbesondere aus mindestens einem elektrisch leitfähigen Material, zum Beispiel einem Metall, Metalloxid und/oder dergleichen und/oder insbesondere in konformer Art und Weise, in Form eines zweidimensionalen oder 2D-Abscheidungsverfahrens, in großflächiger und/oder ganzflächiger Art und Weise, wobei insbesondere Randbereiche (22b) der Ausnehmungen ausgekleidet und/oder bedeckt werden.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass, insbesondere zur Trennung nicht zu kontaktierender Elektrodenrichtungen (14, 18), zumindest sich im Wesentlichen lateral erstreckende Bereiche (26b) des Materialbereichs (26) für die Elektrodenrichtungen (14, 18) abgetragen und entfernt werden, insbesondere durch anisotropes Rückätzen oder dergleichen.

10. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass vor dem Aufbringen des Materialbereichs (26) für die Elektrodenrichtungen (14, 18) im Bereich der Kontakt- oder Plugbereiche (P) zur Verschaltung und/oder Kontaktierung der Kondensatoranordnung (2) mit der CMOS-Struktur im Halbleiterstruktur (20) oder dergleichen jeweils eine im Wesentlichen elektrisch leitfähige Barrierschicht (12) ausgebildet wird, insbesondere durch konformes Abscheiden, insbesondere in mehrschichtiger Form, dass dadurch zumindest Randbereiche (Pb, Pb') der Plugbereiche (P) abgedeckt werden, um eine Zwischenschicht als Diffusionsbarriere zwischen dem jeweiligen Plugbereich (P) und den Elektrodenrichtungen (16, 18) zu bilden, und dass beim Abtragen/Entfernen der lateralen Bereiche (26b) der Materialschicht (26) für die Elektrodenrichtungen (14, 18) die sich im Wesentlichen lateral erstreckenden Bereiche der Barrierschicht (12) mit entfernt werden.

11. Verfahren nach einem der Ansprüche 9 oder 10, dadurch gekennzeichnet, dass auf lateralen Bodenbereichen (22a) der Ausnehmungen (22), insbesondere auf der freien Oberfläche des Passivierungsbereichs (21), jeweils ein Barriere- und/oder Isolationsbereich für das vorzusehende Dielektrikum (16) ausgebildet wird, insbesondere durch spezifisches und/oder anisotropes Abscheiden und/oder insbesondere unter Verwendung mindestens eines im Wesentlichen elektrisch isolierenden Materials.

12. Verfahren nach Anspruch 11, dadurch gekenn-

zeichnet,

dass der Barriere- und/oder Isolationsbereich für das Dielektrikum (16) jeweils in mehreren Schichten ausgebildet wird und/oder

dass der Barriere- und/oder Isolationsbereich für das Dielektrikum (16) in einem vom Halbleitersubstrat (20) im Wesentlichen abgewandten obersten Bereich und/oder einem Oberflächenbereich davon jeweils als Nukleationsschicht oder dergleichen für das danach aufzubringende Dielektrikum (16) ausgebildet wird.

13. Verfahren nach einem der Ansprüche 11 oder 12, dadurch gekennzeichnet, dass – insbesondere auf dem jeweiligen Barriere- und/oder Isolationsbereich für das Dielektrikum (16) – ein Materialbereich (24) für das Dielektrikum (16) abgeschieden wird, insbesondere durch zweidimensionales oder 2D-Abscheiden, in großflächiger, ganzflächiger und/oder die Ausnehmungen (22) bis zum Niveau der Oberflächenbereiche (21a) des Passivierungsbereichs (21) füllender Form und/oder durch nachfolgendes Polieren bis auf das Niveau der Oberflächenbereiche (21a) des Passivierungsbereichs (21).

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass die Materialschicht (24) für das Dielektrikum (16) und/oder das Dielektrikum (16) einem Temperprozess unterzogen wird, insbesondere unter erhöhter Temperatur und/oder insbesondere an einer definierten Prozessatmosphäre, welche vorzugsweise Sauerstoff oder dergleichen enthält.

15. Halbleiterspeichereinrichtung, insbesondere Chain-FeRAM-Speicher oder dergleichen, welche insbesondere gemäß dem Verfahren nach einem der Ansprüche 1 bis 14 hergestellt ist und bei welcher insbesondere im Bereich eines Halbleitersubstrats (20) oder dergleichen, eines Passivierungsbereichs (21) und/oder eines Oberflächenbereichs (20a) davon mindestens eine Kondensatoranordnung (2) mit einer Mehrzahl von Kondensatoreinrichtungen (10-1, ..., 10-4) als Speicherelemente vorgesehen ist, dadurch gekennzeichnet,

dass die Kondensatoreinrichtung (10-1, ..., 10-4) jeweils in Bezug auf das, sich insbesondere im Wesentlichen horizontal erstreckende, Halbleitersubstrat (20) oder dergleichen, einen Passivierungsbereich (21, 22) und/oder einen Oberflächenbereich (20a) davon zumindest teilweise und/oder lokal im Wesentlichen vertikal erstreckend ausgebildet ist, und dass dadurch insbesondere jeweils eine im Wesentlichen dreidimensionale und/oder eine sich in Bezug auf das, sich insbesondere im Wesentlichen horizontal erstreckende, Halbleitersubstrat (20) oder dergleichen, einen Passivierungsbereich (21, 22) und/oder einen Oberflächenbereich (20a) zumindest teilweise und/oder lokal im Wesentlichen in die dritte Dimension erstreckende Anordnung oder Struktur für die jeweilige Kondensatoranordnung (10-1, ..., 10-4) ausgebildet ist.

16. Halbleiterspeichereinrichtung nach Anspruch 15, dadurch gekennzeichnet, dass die Kondensatoreinrichtung (10-1, ..., 10-4) jeweils eine erste Elektrodenrichtung (14), eine zweite Elektrodenrichtung (18) und ein im Wesentlichen dazwischen vorgesehenes Dielektrikum (16) aufweist.

17. Halbleiterspeichereinrichtung nach einem der Ansprüche 15 oder 16, dadurch gekennzeichnet, dass die Kondensatoreinrichtung (10-1, ..., 10-4) jeweils eine Stackstruktur und/oder eine Stapelstruktur aufweist.

18. Halbleiterspeichereinrichtung nach einem der An-

sprüche 15 bis 17, dadurch gekennzeichnet, dass die Elektrodeneinrichtung (14, 18) und/oder das Dielektrikum (16) der Kondensatoreinrichtung (10-1, . . . , 10-4) jeweils in Bezug auf das, sich insbesondere im Wesentlichen horizontal erstreckende, Halbleitersubstrat (20) oder dergleichen, den Passivierungsbereich (21, 22) und/oder den Oberflächenbereich (20a) davon zumindest teilweise und/oder lokal sich im Wesentlichen vertikal erstreckend ausgebildet sind, wobei insbesondere die Abfolge von erster Elektroden-
 einrichtung (14), Dielektrikum (16) und zweiter Elektroden-
 einrichtung (18) der jeweiligen Kondensatoreinrichtung (10-1, . . . , 10-4) in Bezug auf das, sich insbesondere im Wesentlichen horizontal erstreckende, Halbleitersubstrat (20) oder dergleichen, den Passivierungsbereich (21, 22) und/oder den Oberflächenbereich (20a) davon zumindest teilweise und/oder lokal sich im Wesentlichen horizontal erstreckend ausgebildet ist, insbesondere in nebeneinander angeordneter Form im Oberflächenbereich (20a) des Halbleitersubstrats (20) und/oder eines Passivierungsbereichs (21, 22) davon.
 19. Halbleiterspeichereinrichtung nach einem der Ansprüche 15 bis 18, dadurch gekennzeichnet, dass das Dielektrikum (16) jeweils ein ferroelektrisches und/oder paraelektrisches Material enthält oder als solches ausgebildet ist.
 20. Halbleiterspeichereinrichtung nach einem der Ansprüche 15 bis 19, dadurch gekennzeichnet, dass die Kondensatoranordnung (2) zumindest zum Teil eine verbundene oder Chainstruktur der Kondensatoreinrichtung (10-1, . . . , 10-4) aufweist.
 21. Halbleiterspeichereinrichtung nach Anspruch 20, dadurch gekennzeichnet, dass zumindest ein Teil der Kondensatoreinrichtungen (10-1, . . . , 10-4) mit ihrer jeweiligen ersten Elektrodeneinrichtung (14) über ein erstes Kontaktelement (11-1) mit der ersten Elektroden-
 einrichtung (14) einer ersten im Wesentlichen direkt räumlich benachbarten Kondensatoreinrichtung (10-1, . . . , 10-4) und mit ihrer zweiten Elektroden-
 einrichtung (18) über ein zweites Kontaktelement (11-2) mit der zweiten Elektrodeneinrichtung (18) einer zweiten im Wesentlichen direkt räumlich benachbarten Kondensatoreinrichtung (10-1, . . . , 10-4) der Kondensatoranordnung (2) kontaktiert ausgebildet ist.
 22. Halbleiterspeichereinrichtung nach Anspruch 21, dadurch gekennzeichnet, dass die miteinander kontaktierten ersten Elektroden-
 einrichtungen (14) und/oder die zweiten Elektroden-
 einrichtungen (18) jeweils einen im Wesentlichen einstückigen elektrisch leitfähigen Bereich bilden, insbesondere zusammen mit dem jeweils ersten bzw. zweiten Kontaktelement (11-1, 11-2) oder dergleichen.
 23. Halbleiterspeichereinrichtung nach einem der Ansprüche 15 bis 22, dadurch gekennzeichnet, dass zur Kontaktierung und/oder Verschaltung der Kondensatoranordnung (2) und insbesondere der Kondensatoreinrichtungen (10-1, . . . , 10-4), insbesondere der Elektroden-
 einrichtungen (14, 18), im Halbleitersubstrat (20) und/oder in einer Deckschicht oder Passivierungsschicht (21) davon – bzw. einem Oberflächenbereich (20a, 21a) davon – jeweils ein Kontaktbereich oder Plugbereich (P) vorgesehen ist, welcher insbesondere jeweils mit der jeweiligen Kondensatoreinrichtung (10-1, . . . , 10-4), insbesondere mit der jeweiligen Elektroden-
 einrichtung (14, 18) davon, im Wesentlichen elektrisch kontaktiert ausgebildet ist.
 24. Halbleiterspeichereinrichtung nach Anspruch 23, dadurch gekennzeichnet, dass die Elektroden-
 ein-

tung (14, 18) jeweils im Wesentlichen in einem Bereich im Wesentlichen direkter räumlicher Nachbarschaft zu dem Kontaktbereich oder Plugbereich (P) angeordnet und/oder ausgebildet ist, insbesondere direkt an diese anschließend und/oder direkt neben diesen an einem Randbereich (Pb, Pb') davon.

25. Halbleiterspeichereinrichtung nach einem der Ansprüche 23 oder 24, dadurch gekennzeichnet, dass zwischen dem Kontaktbereich und/oder Plugbereich (P) der jeweiligen Kondensatoreinrichtung (10-1, . . . , 10-4), insbesondere der jeweiligen Elektrodeneinrichtung (14, 18) davon, jeweils ein im Wesentlichen elektrisch leitfähiger Barrierebereich vorgesehen ist, insbesondere eine Sauerstoffbarriere oder dergleichen, durch welchen im Betrieb, beim Tempern und/oder beim Prozessieren die Diffusion von, insbesondere unerwünschten und/oder schädlichen, Umgebungsbestandteilen, insbesondere von Sauerstoff oder dergleichen, zum Kontaktbereich oder Plugbereich (P) hin zumindest reduzierbar ist.

26. Halbleiterspeichereinrichtung nach einem der Ansprüche 15 bis 25, dadurch gekennzeichnet, dass zwischen dem Dielektrikum (16) und dem Bereich des Halbleitersubstrats (20) oder dergleichen und/oder des Isolationsbereichs oder Passivierungsbereichs (21, 22) und/oder eines Oberflächenbereichs (20a, 21a) ein Barrierebereich oder Isolationsbereich für das Dielektrikum (16) aus einem im wesentlichen elektrisch isolierenden Material vorgesehen ist.

27. Halbleiterspeichereinrichtung nach Anspruch 26, dadurch gekennzeichnet, dass der Barrierebereich oder Isolationsbereich des Dielektrikums (16) mehrschichtig ausgebildet ist.

28. Halbleiterspeichereinrichtung nach einem der Ansprüche 26 oder 27, dadurch gekennzeichnet, dass zumindest der dem Dielektrikum (16) zugewandte Bereich oder die entsprechende Schicht, insbesondere ein Oberflächenbereich davon, des Barrierebereichs oder Isolationsbereichs für das Dielektrikum (16) als Nukleationsschicht oder dergleichen ausgebildet ist, um beim Prozessieren und/oder im Betrieb der Halbleiterspeichereinrichtung (1) eine gewünschte Struktur, insbesondere Kristallstruktur oder dergleichen, des Dielektrikums (16) zu unterstützen.

Hierzu 5 Seite(n) Zeichnungen

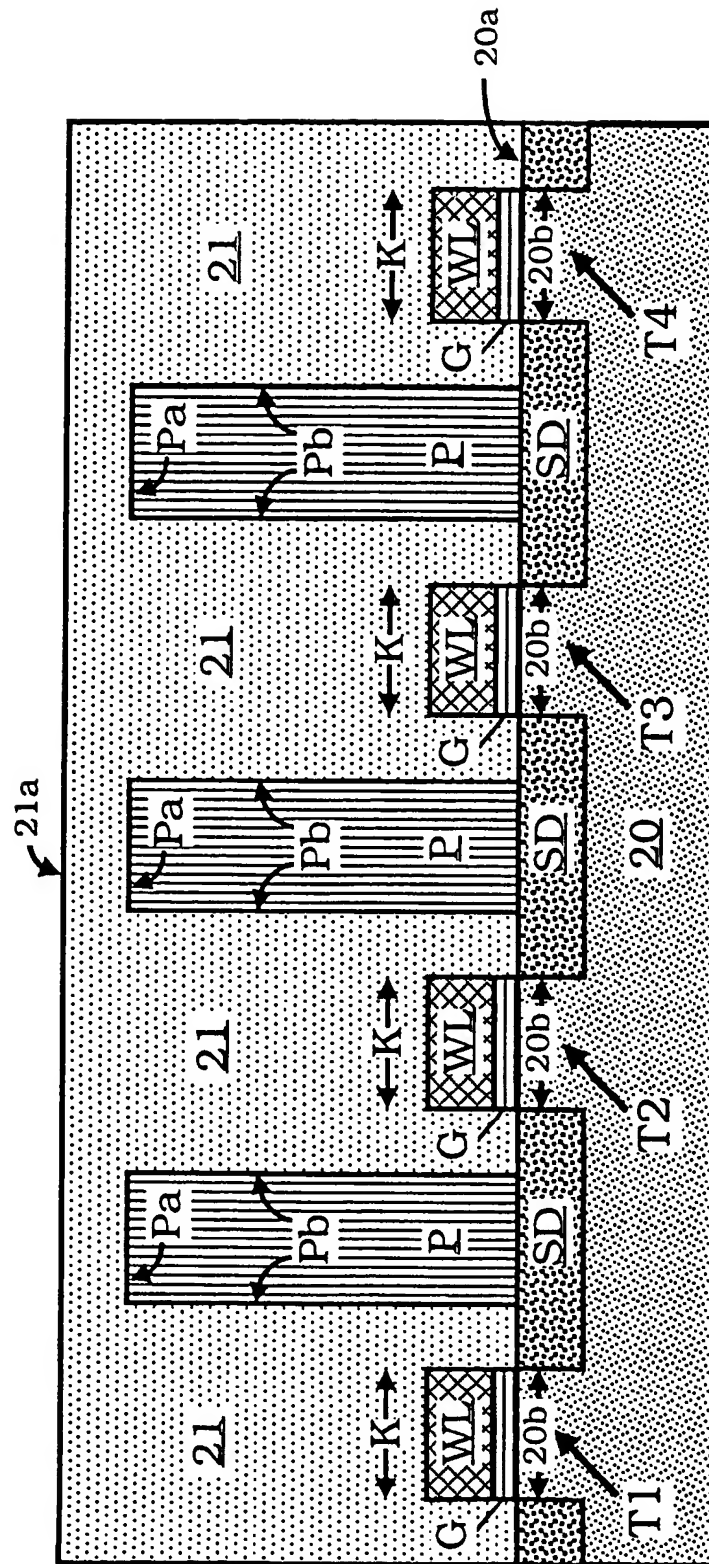


Fig. 1

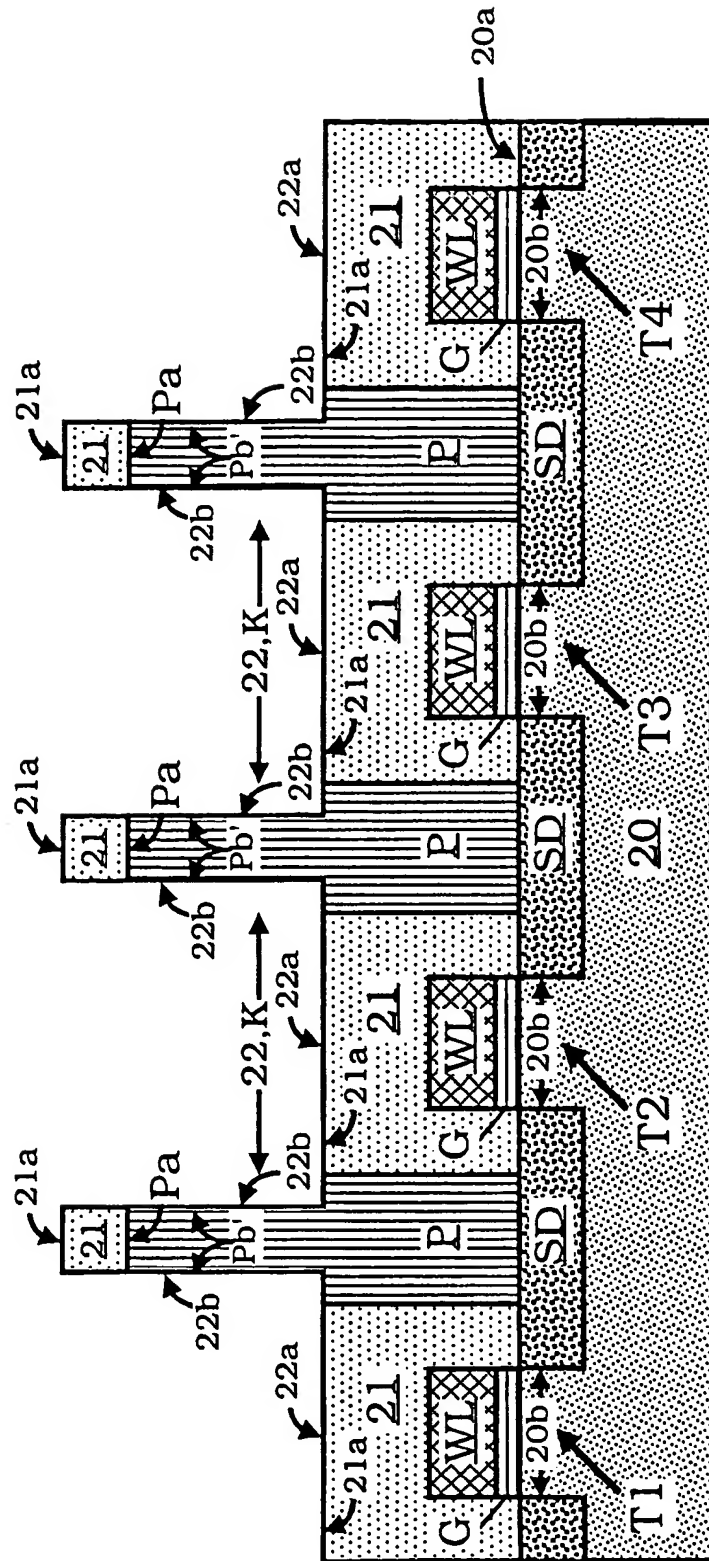


Fig. 2

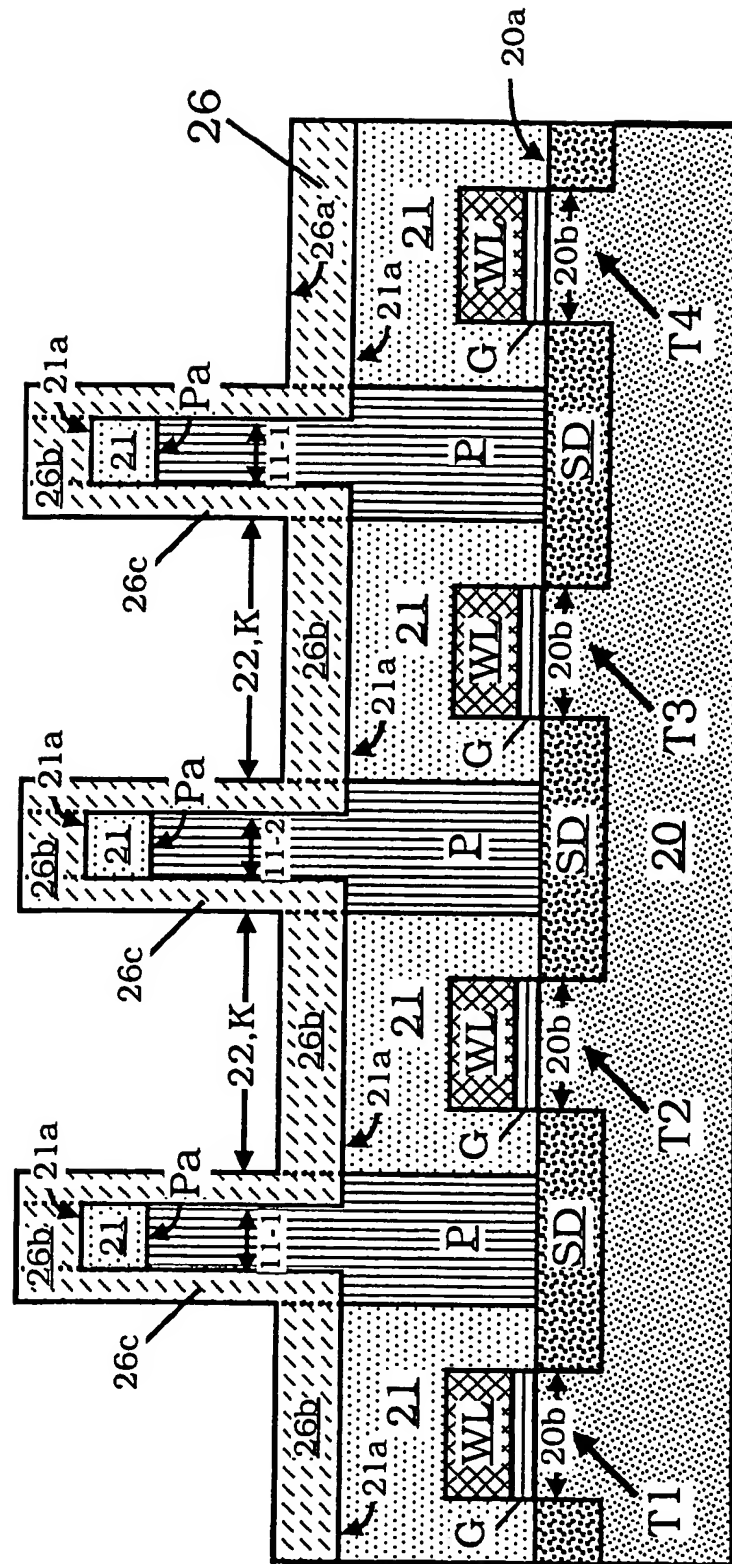


Fig. 3

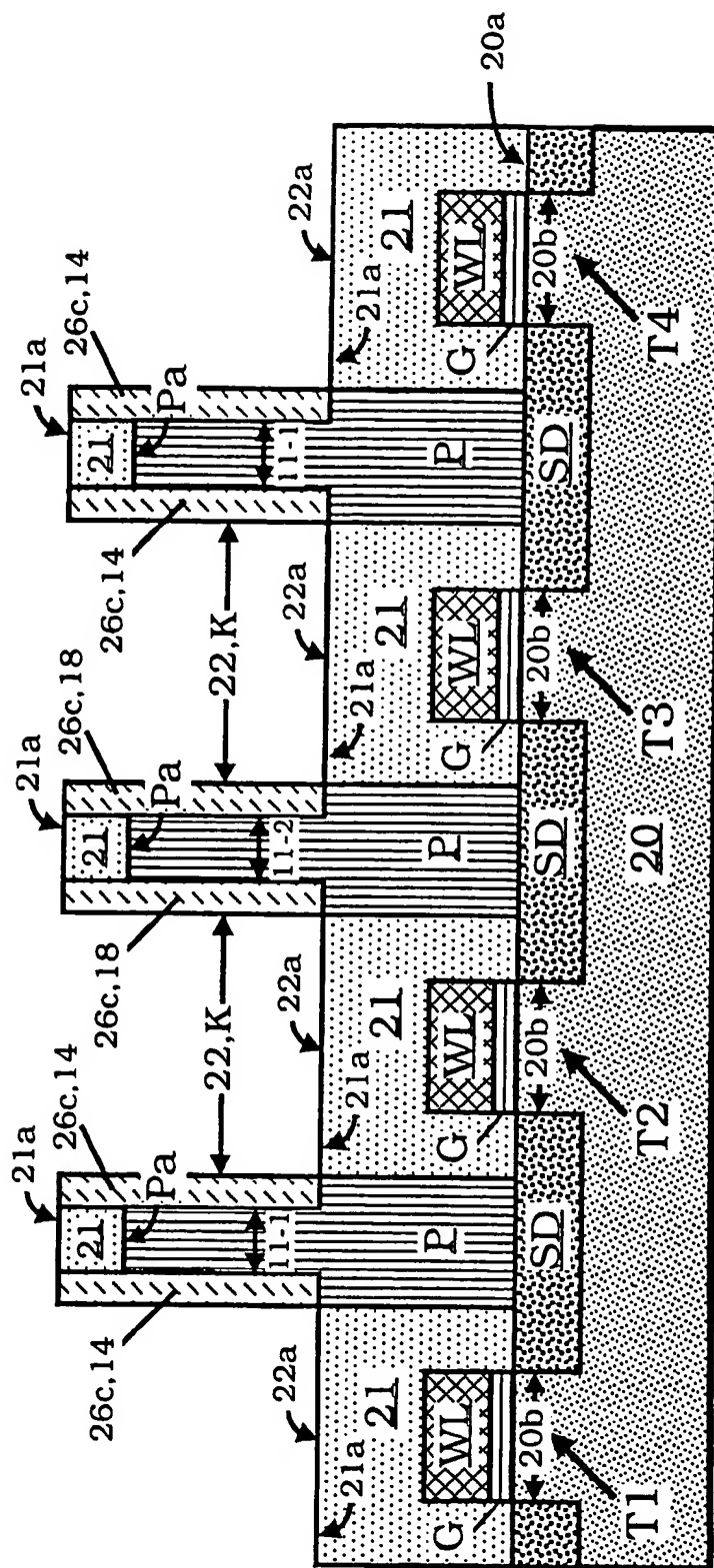


Fig. 4

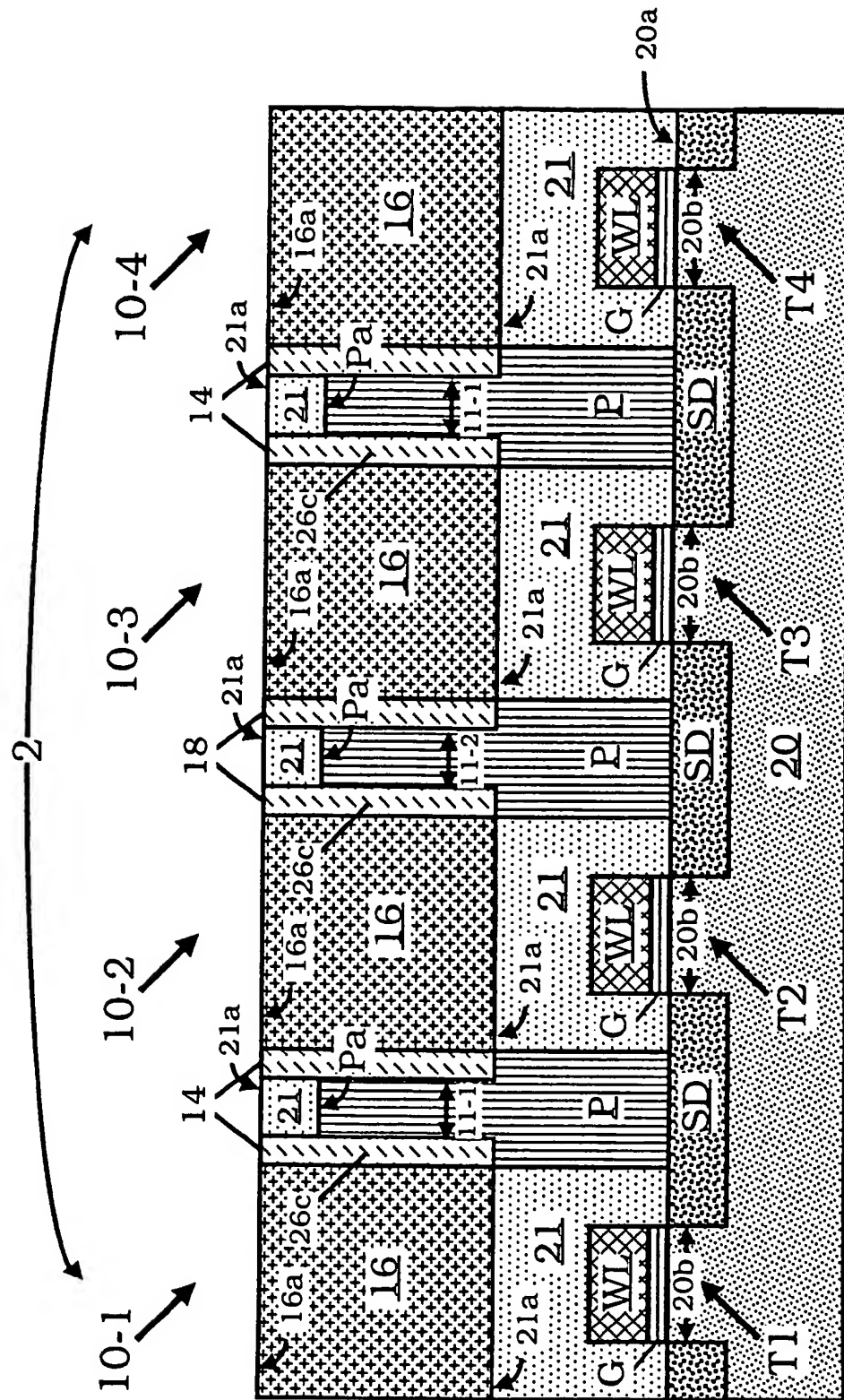


Fig. 5

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.